

ARCリポート

AI データセンターを支える光電融合技術

株式会社旭リサーチセンター
主幹研究員 永田 紘基

生成 AI の普及に伴い、AI データセンターでは計算処理能力だけでなく、通信量と通信に要する電力の増大が課題となっている。本リポートでは、電気配線の制約に対応する技術として注目される光電融合について、CPO (Co-Packaged Optics) と光 I/O の技術・事業動向を概観した。さらに、光電融合の進展により、半導体、光デバイス、材料・部材、先端実装、検査をまたぐ企業間連携の重要性が高まっていることを示し、日本企業が担い得る役割について考察した。

ポイント

- ◆生成 AI の普及と GPU の大規模並列化に伴い、AI データセンターでは電力需要と内部通信量が急増している。高速化する電気配線では信号損失や補償回路の消費電力が増えるため、通信性能と通信電力がシステム拡大の制約となっている。解決策として、光通信技術をチップ近傍まで導入する光電融合技術が注目されている。

→p.5～12

- ◆光電変換機能をスイッチ ASIC の近傍に配置する CPO(Co-Packaged Optics)は、電気配線を短縮し、高速・低消費電力通信を実現する。Broadcom、NVIDIA、TSMCなどが製品化と量産基盤の構築を進める一方、熱管理、異種材料集積、歩留まり、保守性の実装上の課題となっている。

→p.13～21

- ◆光 I/O は、GPU や CPU などの計算チップ近傍まで光配線を導入する技術である。計算資源間の大容量・低消費電力接続を可能にし、将来のリソース分離型コンピューティングを支える技術として、Broadcom、Ayar Labs、NTTなどが開発を進めている。

→p.22～26

- ◆光電融合には、半導体、光デバイス、材料・部材、先端実装、検査をまたぐ連携が必要である。日本企業は材料設計、光部品、精密加工に強みを持つが、事業機会につなげるには、設計・試作段階からファブレス、ファウンドリ、OSATなどと連携し、材料や部品をデバイスの設計や製造工程に適合させることが重要になる。

→p.27～29

目 次

用語・略語	3
1. AI 時代に高まるデータセンターの電力・通信需要	5
1.1 生成 AI が押し上げるデータセンターの電力需要	5
1.2 GPU 並列処理による通信量増大と電気配線の限界	6
1.3 短距離伝送へ広がる光配線	7
コラム 光通信技術の社会実装と生活への浸透	9
2. データセンター内部の通信構造	10
2.1 データセンター内部のネットワーク構成	10
2.2 スイッチに集中する内部通信	11
3. AI データセンターの光化を支える CPO	13
3.1 現在主流のプラグブル構成	13
3.2 電気配線の限界と CPO の必要性	14
3.3 CPO の構造とメリット	15
3.4 主要プレイヤーの動き (Broadcom、NVIDIA、TSMC)	16
3.5 CPO 実装の課題	19
4. CPO の先にある光 I/O	22
4.1 光 I/O が変えるコンピューティングシステム	22
4.2 光 I/O に取り組む企業群	23
コラム 光電融合の社会実装を目指す IOWN	25
5. 光電融合を支える産業構造	27
5.1 光電融合を支える主要部材と事業機会	27
5.2 光電融合デバイスの競争力を左右する製造・連携基盤	28
おわりに	30

用語・略語

- ・ **APN(All-Photonics Network)**:通信経路での光・電気変換を極力減らし、光のままデータを伝送するネットワーク。
- ・ **ASIC(Application Specific Integrated Circuit)**:特定用途向けに設計された専用半導体。
- ・ **CMOS(Complementary Metal-Oxide-Semiconductor)**:低消費電力の集積回路を製造するために広く用いられる半導体回路・製造技術。
- ・ **CPO(Co-Packaged Optics)**:半導体チップ近傍に光通信部品を実装し、高速・低消費電力通信を実現する技術。
- ・ **CPU(Central Processing Unit)**:コンピュータ全体を制御する汎用プロセッサ。
- ・ **DSP(Digital Signal Processor)**:デジタル信号処理を行い、信号補償や誤り訂正を担うプロセッサ。
- ・ **EIC(Electronic Integrated Circuit)**:PIC と組み合わせて用いられる電子集積回路。信号処理や駆動回路などを担う。
- ・ **FAU(Fiber Array Unit)**:複数の光ファイバを高精度に整列・固定した光接続部品。
- ・ **GPU(Graphics Processing Unit)**:画像処理向けに発展した、並列計算に優れるプロセッサ。
- ・ **HBM(High Bandwidth Memory)**:GPU などと近接実装される積層型メモリ。広帯域かつ低消費電力のデータ転送が可能。
- ・ **HPC(High Performance Computing)**:科学技術計算や AI などの大規模な計算を高速に処理する高性能コンピューティング。
- ・ **IOWN(Innovative Optical and Wireless Network)**:NTT が推進する次世代情報通信基盤構想。ネットワークからコンピューティングまで光化し、超低消費電力化を目指す。
- ・ **KGD(Known Good Die)**:パッケージへ実装する前に検査し、良品であることを確認した半導体チップ。
- ・ **OSAT(Outsourced Semiconductor Assembly and Test)**:半導体の組立・実装・検査など後工程を専門に請け負う企業。
- ・ **PCB(Printed Circuit Board)**:電子部品を搭載し配線を形成した基板。
- ・ **PIC(Photonic Integrated Circuit)**:光変調器や受光器などの光機能を集積した光集積回路。
- ・ **UCIe(Universal Chiplet Interconnect Express)**:チップレット間の相互接続

方式のオープンな業界標準規格。

- ・ **イーサネット規格**: データセンターや企業ネットワークで広く利用される有線 LAN の標準通信規格。
- ・ **インフィニバンド規格**: AI・HPC システムなどで利用される、高速・低遅延の通信規格。
- ・ **光電融合**: 電気配線と光配線を組み合わせ、高速・低消費電力通信を実現する技術。
- ・ **シリコンフォトリソグラフィ**: シリコン基板上に光導波路や光変調器などを形成し、光機能を集積する技術。
- ・ **スイッチ**: 複数のサーバーや通信機器の間で、データ通信を中継・制御する装置。
- ・ **チップレット**: 一つの大規模な半導体回路を、機能ごとに分割した小型チップ。
- ・ **チップレット集積技術**: チップレットをそれぞれ製造した後、それらを組み合わせて一つにパッケージ化し、機能を集積する技術。
- ・ **光 I/O**: GPU や CPU などの計算チップの近傍に光電変換機能を配置し、チップ外部との入出力を光信号で行う技術。大容量通信と低消費電力化を目的とする。
- ・ **光エンジン**: PIC と EIC を集積し、光信号と電気信号を相互変換する光通信モジュールの中核部。
- ・ **光トランシーバ**: 光信号と電気信号を変換する送信機(トランスミッター)と受信機(レシーバー)の両方の機能を持つ。
- ・ **ファウンドリ**: 半導体の設計は行わず、半導体チップの製造を専門に行う受託製造企業。
- ・ **ムーアの法則**: 半導体集積度が 1.5～2 年で約 2 倍になるという経験則。
- ・ **リソース分離型コンピューティング(Disaggregation)**: CPU、GPU、メモリなどの計算資源を物理的に分離し、必要に応じて組み合わせて利用するコンピューティング方式。

1. AI 時代に高まるデータセンターの電力・通信需要

1.1 生成 AI が押し上げるデータセンターの電力需要

インターネットやスマートフォンの普及に伴い、動画配信、SNS、オンライン会議、クラウドサービスなどの利用が拡大してきた。これらのサービスでは、画像、音声、動画、業務データなどが大量に生成・保存・処理される。その処理基盤として、世界各地でデータセンターの整備が進んできた。

近年、この潮流をさらに加速させているのが AI 技術の高度化である。画像認識・音声認識などの機械学習、深層学習に加え、大規模言語モデルに代表される生成 AI は膨大なデータを学習し、膨大な演算を必要とする。本稿では、生成 AI などの学習・推論を主要用途とし、多数の GPU や AI アクセラレータを用いて大規模な並列計算を行う施設・計算基盤を「AI データセンター」と呼ぶ。

AI データセンターでは、膨大なデータを取り込んで並列計算を行うため、データ転送量が爆発的に増加する。また、AI の並列演算を担う GPU を多数搭載することで、ラック当たりの電力密度も高まる。なお、ラックとは、サーバーやスイッチ、ストレージなどの機器を上下方向に多段搭載する標準化された棚である。

Uptime Institute¹の 2025 年調査では、一般的なデータセンターで 10～30kW 級のラックが増えている一方、現在実用化されている先端 AI ラックの一例である HPE の NVIDIA GB200 NVL72²は、72 基の GPU と 36 基の CPU を搭載し、ラック全体で 132kW を消費する。こうした高密度化により、電力供給や冷却が AI データセンターの設備設計を制約する要因となっている。

AI 用途に限定した統計ではないが、世界の大規模データセンターの地域別シェア（容量ベース）³の過半は米国に集中している。EPRI（電力研究所）⁴は、2030 年にはデータセンターが米国年間発電量の 4.6～9.1%（現在の推定値は約 4%）を消費すると予測している。

日本国内においても、データセンター増加に伴う電力需要は深刻な問題となっている。2024 年度の国内総電力需要約 8,000 億 kWh に対し、2050 年にはデータセンターだけで最大 2,000 億 kWh を占めるとの試算⁵もある。立地面では、国内データセンターの約 9

¹ Uptime Institute「Uptime Institute Global Data Center Survey 2025」、
<https://datacenter.uptimeinstitute.com/rs/711-RIA-145/images/2025.Annual.Survey.Report.pdf>

² HPE「NVIDIA GB200 NVL72 by HPE QuickSpecs」、
<https://www.hpe.com/us/en/collaterals/collateral.a50009224enw.html>

³ 総務省「令和 6 年度版 情報通信白書 世界の大規模データセンターの地域別シェア（データ容量）」、
<https://www.soumu.go.jp/johotsusintokei/whitepaper/ja/r06/html/datashu.html#f00277>

⁴ EPRI「Powering Intelligence: Analyzing Artificial Intelligence and Data Center Energy Consumption」、
<https://www.epri.com/research/products/3002028905>

⁵ 電力中央研究所「データセンターの電力需要の特徴に関する考察と将来推計」、
<https://criepi.denken.or.jp/jp/serc/research/files/1674/pdf/serc25001.pdf>

割が関東・関西に偏在し、とりわけ関東圏では特定地域に電力負荷が集中している。こうした背景から、政府は「ワット・ビット連携官民懇談会」⁶を設置し、電力系統に余力がある地域へのデータセンター立地の誘導や、電力・通信インフラを一体的に整備した大規模集積拠点の形成、地方分散などを検討している。

こうしたデータセンター全体の電力需要増加に加え、事業者側でも AI 計算基盤への投資が拡大している。ソフトバンク⁷は大阪府堺市に受電容量約 150MW の AI データセンターを整備し、将来は 250MW 超への拡張を見込む。NTT データグループ⁸も、栃木県栃木市に合計約 100MW の IT 用電力容量を持つデータセンター2 棟を建設し、第 1 棟を 2028 年度に開業する計画である。

一方、米国では電力確保に向けた動きが顕著である。グーグル⁹が小型モジュール原子炉の電力購入契約を結び、マイクロソフト¹⁰も既存原発の再稼働を通じて 835MW の電力供給を確保する取り組みを進めている。

1.2 GPU 並列処理による通信量増大と電気配線の限界

これまで、データセンターの計算処理能力の向上は、半導体の微細化によるプロセッサ性能の向上に支えられてきた。図 1 に、過去 50 年間のマイクロプロセッサの技術動向を示す。

「ムーアの法則」に沿って、プロセッサに搭載されるトランジスタ数(図 1 の Transistors)は 1.5～2 年で約 2 倍のペースで増加してきた。一方、2005 年頃から動作周波数(Frequency)と消費電力(Typical Power)の伸びは鈍化し、代わってプロセッサ当たりのコア数(Number of Logical Cores)が増加している。これは、単一の処理回路を高速化するだけでなく、複数のコアやプロセッサで計算を分担する並列処理が重要になったことを示している。

生成 AI の学習では大規模な行列演算を繰り返すため、単一のプロセッサだけで必要な計算性能を確保することが難しい。そこで、並列演算に適した GPU を多数接続し、計算を分担する方式が採用されている。計算を分担する過程では、学習データや計算結果を GPU 間で頻繁に交換するため、GPU の数が増えるほど通信量も増大する。

⁶ 総務省・経済産業省「ワット・ビット連携官民懇談会 取りまとめ 1.0」、
https://www.meti.go.jp/shingikai/economy/watt_bit/pdf/20250612_1.pdf

⁷ ソフトバンク「AI データセンターの構築に向けて、シャープ堺工場の土地や建物の取得に関する契約を締結」、
https://www.softbank.jp/corp/news/press/sbkk/2025/20250314_01/

⁸ NTT データ「栃木市に新たなデータセンター用地を取得」、
<https://www.nttdata.com/global/ja/news/topics/2025/020500/>

⁹ JETRO「米グーグルやアマゾンが小型モジュール原子炉からの電力購入などを発表」、
<https://www.jetro.go.jp/biznews/2024/10/9f4e0fc76c0a2f04.html>

¹⁰ JETRO「米スリーマイル島原発を再稼働、マイクロソフトに発電全量を供給」、
<https://www.jetro.go.jp/biznews/2024/09/5e27ca3e80052b28.html>

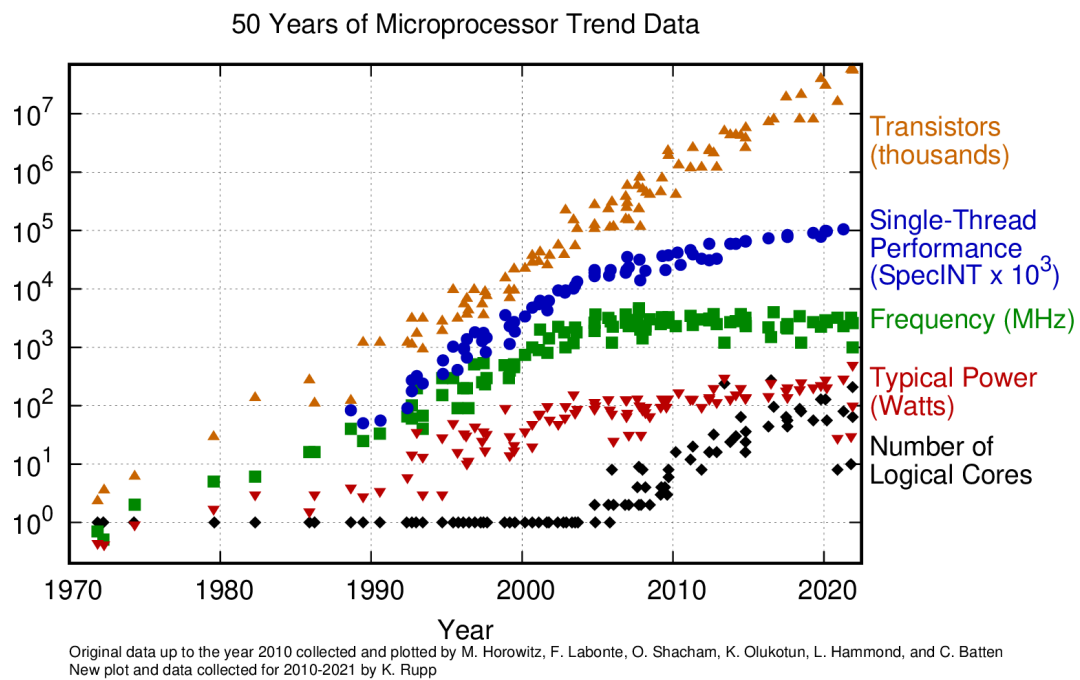


図1 50年間のマイクロプロセッサのトレンドデータ(Karl Rupp「50 Years of Microprocessor Trend Data」、<https://github.com/karlrupp/microprocessor-trend-data/blob/master/50yrs/50-years-processor-trend.png>)

データセンター内の短距離通信には、主に電気配線が用いられてきた。しかし、AI データセンターでは GPU 間通信のさらなる高速化・大容量化が求められ、従来方式は物理的な制約に直面している。伝送速度が高くなるほど、配線における信号損失が増大し、その劣化を補う信号補償回路の消費電力も増加する。このため、電気信号のまま高速化を続けることが、AI データセンターの通信性能と電力効率を高める上での制約となりつつある。

1.3 短距離伝送へ広がる光配線

このような背景から、高速・大容量かつ長距離でも伝送損失の小さい光通信技術が注目されている。光通信は、光ファイバを伝わる光に情報を載せて通信する技術であり、1本の光ファイバで複数の波長を利用できるため、大容量・低損失という特徴を持つ。光通信は当初、基幹ネットワークや都市間・データセンター間などの長距離通信に利用され、その後、データセンター内部のスイッチ間・ラック間通信へ適用範囲を広げてきた。

短距離・低帯域の通信では、光電変換器やレーザを必要としない電気配線の方が、構成が簡単でコストや消費電力を抑えやすい。一方、電気配線では伝送速度が高くなるほど信号損失が増え、伝送可能な距離は短くなる。光配線にも帯域や損失の制約はあるが、高速化や長

距離化に伴う信号劣化は電気配線より小さい。

電気配線と光配線を使い分ける目安の一つとして、伝送速度と距離の積で表す「100Gbps・m 線」が経験的に知られている(図 2)。実際の境界は配線材料、変調方式、信号補償回路などによって変わるが、必要帯域が大きくなるほど、光配線が有利になる距離は短くなる。

AI データセンターでは、スイッチや計算チップに求められる総帯域が急増し、これを支える電気配線の高速化・多レーン化が進んでいる。その結果、数十 cm 以下、さらには数 mm 程度の短距離でも、信号損失や信号補償回路の消費電力が課題となり、光配線の適用範囲はサーバー内部から半導体パッケージ・チップ近傍へ広がりつつある。次章以降では、光配線をスイッチや計算チップの近傍まで導入する CPO と光 I/O について説明する。

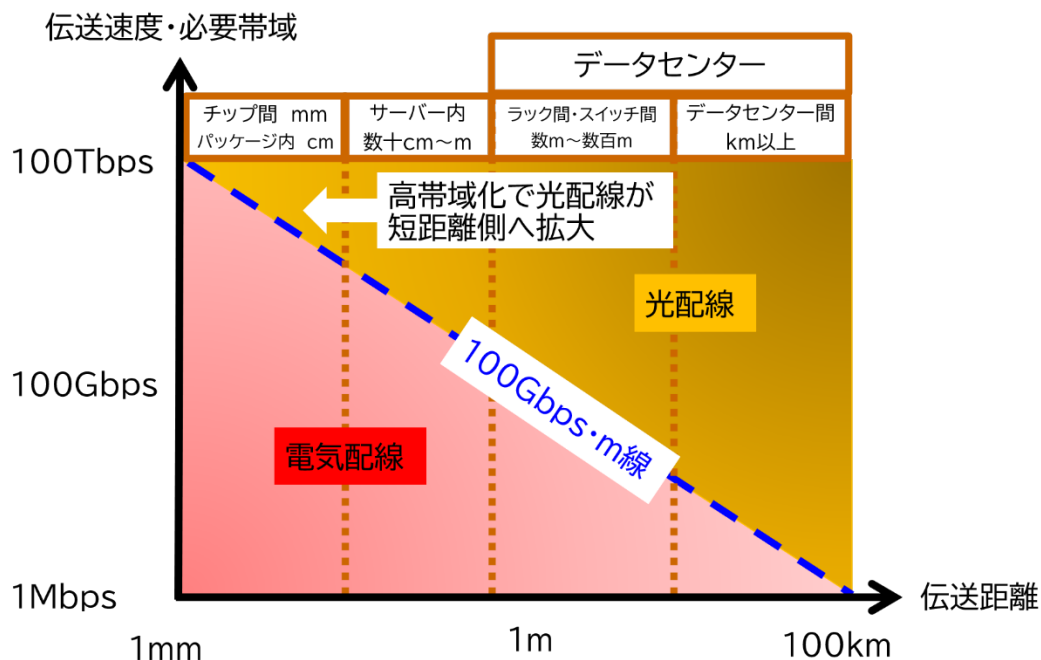


図 2 電気配線と光配線の適用領域と「100Gbps・m 線」(「次世代高速通信に対応する光回路実装、デバイスの開発」、技術情報協会、2022 年 11 月を基に ARC 作成)

コラム 光通信技術の社会実装と生活への浸透

光通信は、現在のインターネットや携帯通信を支える基盤技術であり、長距離でも高速・低損失で通信できる点が特徴である。例えば、テレビやインターネットのサービスも光ファイバを介して多くの家庭に提供されている。図 3 のように、光通信技術は情報社会を支えるインフラである。

現在では地球上を覆うように光ファイバが張り巡らされており、その多くは、石英を材料とする石英ガラス光ファイバである。これは、光の通り道となる中心部のコアと、コアを覆うクラッド(ガラス)で構成される。光は、コア・クラッド構造の屈折率の違いからコア内を全反射することにより、遠くに伝搬することが可能になる。また、石英ガラスは通信波長帯での材料吸収が極めて小さく、製造技術の高度化により散乱損失も抑えられているため、光ファイバは長距離でも低損失で信号を伝送できる。

なお、ガラスや樹脂で構成される光ファイバは、細く、軽く、長くでき、取り扱いが容易で無誘導であることから混信も起こらないため、電力ケーブルとの複合化もできる。コストだけでなく、敷設容易性にも優れることが、ここまで光ファイバの利用が拡大した理由である。

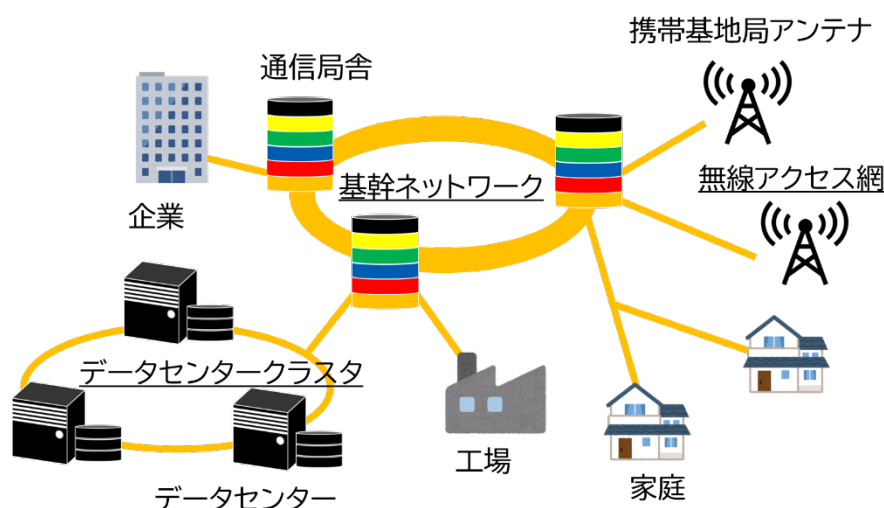


図 3 光通信技術の社会実装イメージ(各種資料より ARC 作成)

2. データセンター内部の通信構造

2.1 データセンター内部のネットワーク構成

データセンターには、サーバーやストレージ、ネットワーク機器を搭載した多数のラックが並び、各機器が高速ネットワークを通じて相互に接続されている。大規模な施設では数万～数十万台のサーバーが稼働し、膨大なデータを処理している。こうしたサーバー間の通信を効率的に処理するため、データセンター内部には階層的なネットワークが構築されている。

図 4 に、データセンター内部の通信構造を示す。データセンターは、外部ネットワークとの出入口となるコア(Core)ルーターと、内部の通信を中継するスパイン(Spine)スイッチ、リーフ(Leaf)スイッチ、各ラックに設置された ToR(Top of Rack)スイッチなどで構成される。各スイッチはデータの宛先に応じて転送経路を選択し、外部から受信したデータやサーバー間で交換されるデータを目的のサーバーへ届ける。大容量の通信を担うスイッチ間は、主に光ファイバで接続されている。

複数のスイッチを階層的かつ冗長に接続することで、一部の経路や機器に障害が発生しても、別の経路を利用して通信を継続できる。また、多数のサーバー間で発生する通信を複数の経路に分散できるため、データセンター内の大量のデータを効率的に処理できる。このようなネットワークにより、多数のサーバーを一体的な計算基盤として利用している。

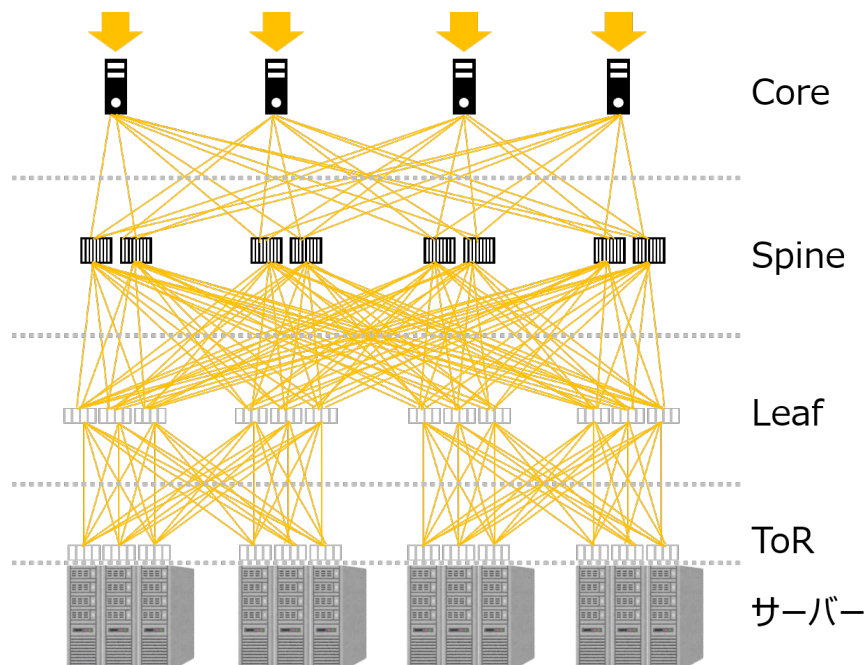


図 4 データセンター内部のネットワーク構成(EE Times Japan「データセンターを支える光伝送技術 ～ハイパースケールデータセンター編」¹¹などを参考に ARC 作成)

¹¹ EE Times Japan「データセンターを支える光伝送技術 ～ハイパースケールデータセンター編」、
<https://eetimes.itmedia.co.jp/ee/articles/1809/20/news011.html>

図 5 に、Cisco が 2010 年代に公表した世界のデータセンタートラフィックの推計・予測を示す。2016～2021 年版では、2021 年のデータセンタートラフィックのうち、サーバーやストレージなどの機器間で発生する内部通信が約 7 割を占め、残りをデータセンター間通信と利用者向け通信がほぼ二分すると予測されていた。これらは生成 AI が本格的に普及する前に公表された推計・予測値であり、現在の通信量を示すものではない。ただし、データセンターでは利用者との通信だけでなく、内部の機器間で大量のデータがやり取りされることを示す参考となる。生成 AI の普及により、こうした内部通信の性能はさらに重要になっている。

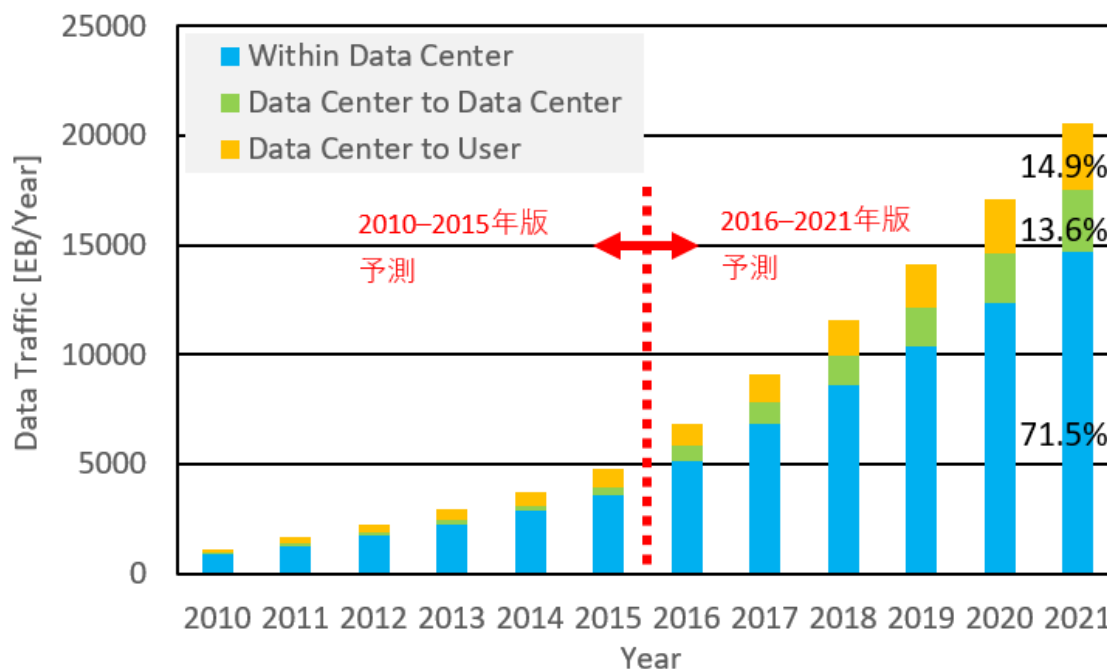


図 5 Cisco による世界のデータセンタートラフィックの推計・予測と内部通信の割合
(Cisco「Cisco Global Cloud Index: Forecast and Methodology」、2010-2015 年版¹²および 2016-2021 年版¹³の推計・予測を基に ARC 作成)

2.2 スイッチに集中する内部通信

AI データセンターでは、多数の GPU を用いた並列処理に伴い、GPU を搭載したサーバー間で学習データや計算結果が頻繁に交換される。こうした内部通信の多くはスイッチを経由するため、GPU の数が増えるほど、スイッチには大容量のデータを低遅延で転送する能力が求められる。大量の GPU 間通信が集中するスイッチの処理性能と通信に要する消費電力は、AI データセンターの規模拡大を制約する要因となりつつある¹⁴。

この制約を緩和する技術として注目されているのが光電融合技術である。光電融合技術

¹² Cisco global cloud index: Forecast and methodology, 2010-2015.

¹³ Cisco global cloud index: Forecast and methodology, 2016-2021.

¹⁴ 並木周「産総研における光電融合技術開発と今後の展望」省エネルギー、Vol.76、No.12、2024 年

は、電気配線と光配線を組み合わせ、光電変換機能を半導体チップの近傍へ配置することで、通信容量の拡大と低消費電力化を図る技術である。光配線をスイッチ ASIC や計算チップの近傍まで導入することで電気配線の距離を短くし、高速伝送時の信号損失と信号補償回路の消費電力を抑えられる。

GPU 間通信の帯域が不足すると、データ転送の完了を待つ時間が増え、計算システム全体の性能を十分に引き出せない。このため、大量の通信が集中するスイッチには、大容量・低遅延・低消費電力のデータ転送能力が求められる。中でも、通信が集中するスイッチ ASIC の近傍へ光電変換機能を移す CPO (Co-Packaged Optics) は、光電融合の中で先行して実用化が進んでいる。

3. AI データセンターの光化を支える CPO

3.1 現在主流のプラグابل構成

データセンターでは、スイッチの間で膨大なデータがやり取りされる。そのため、機器同士の接続には高速・大容量通信が可能な光ファイバが広く利用されている。ただし、スイッチ内部の半導体チップは電気信号で動作する。このため、光ファイバを流れる光信号と、半導体が扱う電気信号を相互に変換する必要がある。現在主流のプラグابل構成は、図 6 のように光信号と電気信号を変換するプラグابل光トランシーバを用いる。プラグابل(pluggable)とは、サーバーの前面もしくは背面から抜き差しできるモジュール形式を意味する。プラグابل構成は、光トランシーバを独立したモジュールとして交換できるため、保守性に優れる。

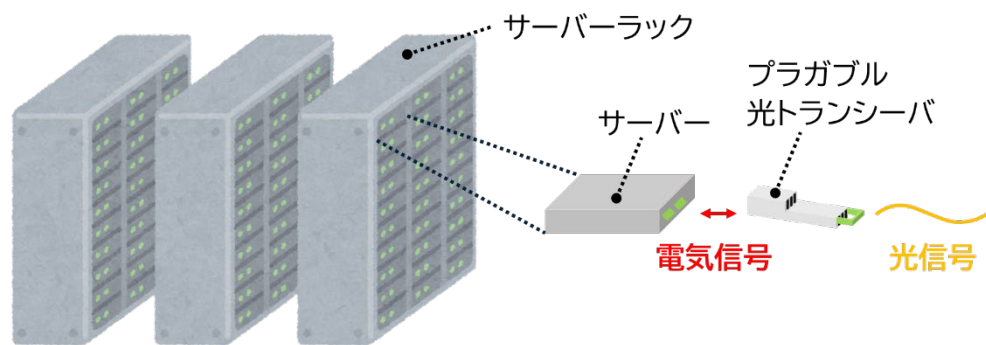


図 6 サーバラックとサーバーとプラグابل光トランシーバの関係(各種資料より ARC 作成)

現在のデータセンターで広く利用されている、通信を制御するスイッチの構成を図 7 に示す。スイッチは専用の筐体内に構成される。スイッチの中心には、通信経路を高速に制御する専用半導体(スイッチ ASIC)が配置され、その周囲に複数のプラグابل光トランシーバが装着される。光トランシーバとスイッチ ASIC は PCB 上の電気配線で接続されており、光ファイバから受け取った光信号はプラグابل光トランシーバで電気信号に変換された後、スイッチ ASIC で処理される。

プラグابل構成は、高性能化と保守性を両立できることから、これまでデータセンター通信を支える標準的な方式として普及してきた。しかし、AI データセンターでは通信速度のさらなる高速化が求められており、光トランシーバとスイッチ ASIC をつなぐ電気配線部分が新たな課題になりつつある。

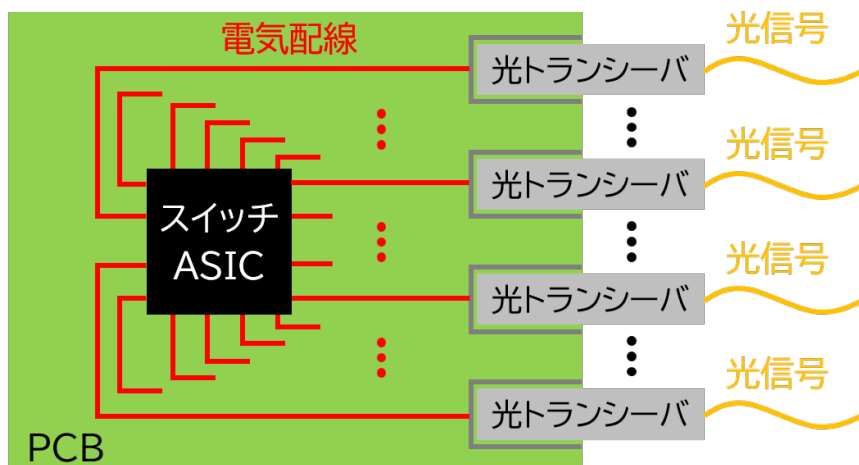


図 7 筐体内のスイッチ構成の概要(各種資料より ARC 作成)

3.2 電気配線の限界と CPO の必要性

光トランシーバの伝送速度は市場では 400Gbps が主流で、800Gbps が本格導入されつつある(図 8)。伝送速度がこれほど大きくなると、スイッチ ASIC と光トランシーバの間の電気配線は数十 cm でも誘電損失やクロストークなどに起因した信号波形の劣化が無視できなくなる。

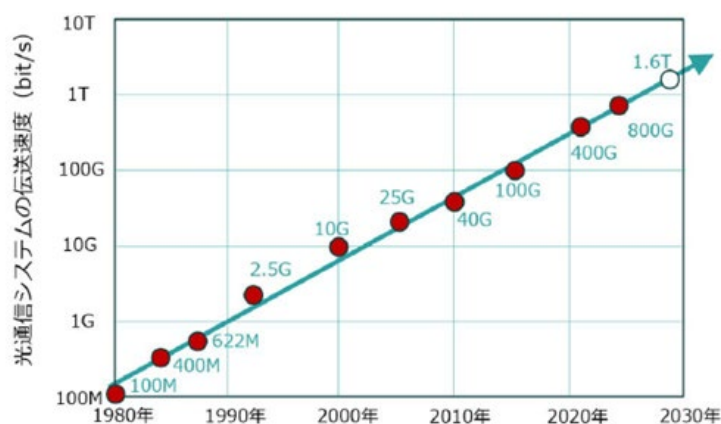


図 8 光通信システム伝送速度の変遷(科学技術振興機構 研究開発戦略センター「AI 時代を牽引する光デバイス技術」¹⁵⁾)

図 9 に現状のプラグابل構成の断面図を示す。高速通信では、電気配線での信号劣化を補うために信号補償・誤り訂正回路が必要になる。例えば、スイッチ ASIC だけでなく、光トランシーバ側にも DSP チップが搭載され、信号補償・誤り訂正などの処理を行う。それらの回路の消費電力や発熱が増加し、システム全体の効率が低下する。

¹⁵⁾ 科学技術振興機構 研究開発戦略センター「AI 時代を牽引する光デバイス技術」、
<https://www.jst.go.jp/crds/pdf/2024/RR/CRDS-FY2024-RR-08.pdf>

具体的には、①信号補償・誤り訂正機能が複雑になって消費電力・遅延が増える、②発熱を冷却で抑えるための熱設計が難しい、③高速化（並列化）により配線本数が増え、光トランシーバ周辺の配線スペースが物理的に不足するため、高密度な電気配線が困難になる、などの課題がある。こうした課題は 800Gbps から 1.6Tbps へ高速化するにつれて深刻になり、プラグブル構成の改良に加えて、電気配線をさらに短縮する新たな構成が求められている。

そこで、光電変換機能を持つ光エンジンをスイッチ ASIC の近傍へ配置し、両者を結ぶ電気配線を短縮する CPO (Co-Packaged Optics) が、次世代のスイッチ構成として注目されている。

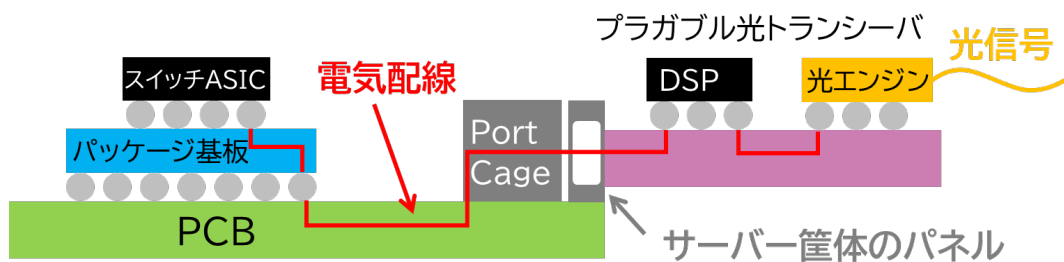


図 9 プラグブル構成の断面図（各種資料より ARC 作成）

3.3 CPO の構造とメリット

CPO の具体的な構造を図 10 に示す。CPO では、光電変換機能を持つ光エンジンをスイッチ ASIC と同一のパッケージ基板上などに近接配置する。電気信号で伝送する区間を短縮し、伝送損失の小さい光信号で扱う区間をスイッチ ASIC の近傍まで広げる。

一つのパッケージ基板上に近接実装する Co-Packaged（同一パッケージ内）の構成により電気配線が短くなるので、高速通信においても信号劣化が抑えられ、消費電力増加を抑えながら通信速度を高められる。光トランシーバとスイッチ ASIC の信号補償や誤り訂正のための回路を簡素化できるので、スイッチを通して 1bit を伝送するエネルギーは半分以下に削減できるという試算¹⁶もある。

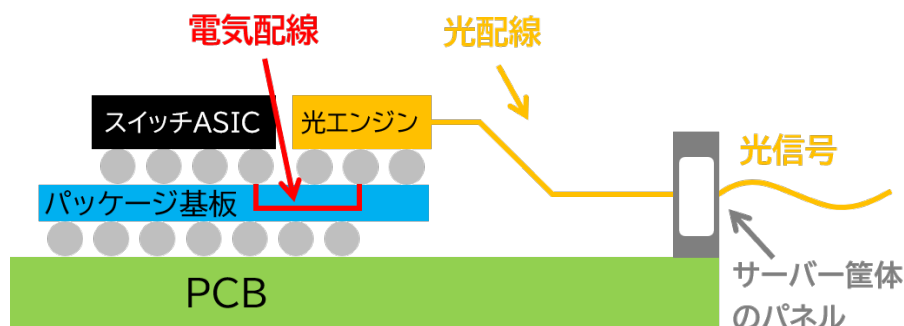


図 10 CPO 構成の断面図（各種資料より ARC 作成）

¹⁶ 日経 XTECH「エヌビディア幹部が語る光電融合、40MW のデータセンターに不可欠」、
<https://xtech.nikkei.com/atcl/nxt/column/18/00001/10869/>

なお、光電融合の歴史は古く、PCB 上やチップ間を光配線で結ぼうという動きはおおよそ 1990 年代から持ち上がり、2000 年代は IBM や Nokia など研究が盛んに行われていた。しかし、当時は光部品が高価で大型だったほか、半導体微細化による高性能化や低消費電力化が容易だったことで、光電融合ブームは下火になった。近年は、半導体微細化が限界に近づき、チップ外の高速通信がボトルネックとなっているため、光電融合の実用化が現実味を帯びてきた。

3.4 主要プレイヤーの動き(Broadcom、NVIDIA、TSMC)

CPO の実用化には、スイッチ ASIC や光エンジンの設計、シリコンフォトリソの製造、光部品と電子部品の先端実装を組み合わせる必要がある。本節では、CPO スwitchの製品化を進める Broadcom と NVIDIA、製造・実装基盤を提供する TSMC (Taiwan Semiconductor Manufacturing Company、台湾積体回路製造)の取り組みを取り上げる。

(1)Broadcom

通信半導体大手の Broadcom は、CPO イーサネットスイッチの製品化を先行して進めている。2024 年 3 月、同社によれば業界初となる 51.2Tbps の CPO イーサネットスイッチである「Bailly」¹⁷(図 11)を顧客に提供したと発表した。Bailly は、6.4Tbps の光エンジン 8 基と、51.2Tbps のスイッチ ASIC「Tomahawk 5」を統合する。Broadcom によれば、この構成により、光インターコネクト部分の消費電力を標準的なプラグブル構成と比べて 70% 削減できる。光源には、光エンジンから分離して交換可能な外部レーザ光源モジュールを用いる。

なお、Bailly の光エンジンは、シリコンフォトリソ技術による光変調や受光などを担う光集積回路(PIC:Photonic Integrated Circuit)と 7nm 半導体プロセスによる光素子の駆動・制御や受信信号の増幅などを担う電子集積回路(EIC:Electronic Integrated Circuit)が FOWLP(Fan-out Wafer-level Packaging)パッケージング技術で集積されている。FOWLP パッケージング技術は、後工程において半導体チップの外側に配線を広げる高集積化技術で、スマートフォンの半導体チップなどに量産適用されている。

¹⁷ Broadcom「Broadcom Delivers Industry's First 51.2-Tbps Co-Packaged Optics Ethernet Switch Platform for Scalable AI Systems」、<https://www.broadcom.com/company/news/product-releases/61946>

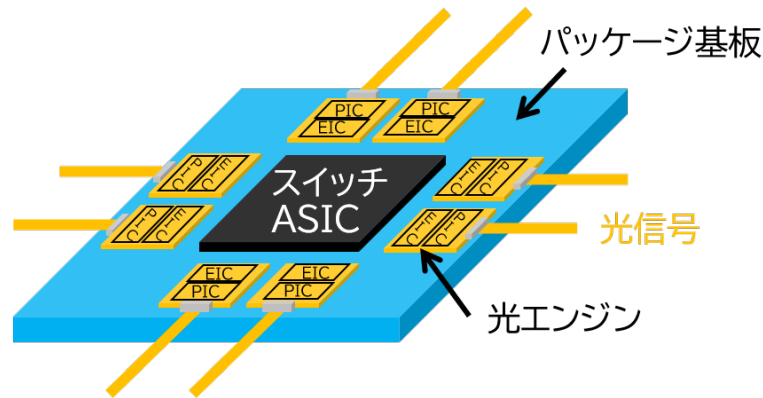


図 11 Broadcom の CPO イーサネット・スイッチ「Bailly」(Broadcom, “An AI Compute ASIC with Optical Attach to Enable Next Generation Scale-Up Architectures”¹⁸, Hot Chips 2024 など参考に ARC 作成)

Broadcom は 2025 年 6 月、102.4Tbps のスイッチ ASIC「Tomahawk 6」¹⁹を発表した。さらに同年 10 月、Bailly の次世代に当たる第 3 世代 CPO イーサネットスイッチ「Davisson」²⁰を発表し、早期アクセス顧客とパートナーへのサンプル提供を開始した。

Davisson は、6.4Tbps の光エンジン 16 基と Tomahawk 6 を統合し、合計 102.4Tbps の光対応スイッチング容量を実現する。光エンジンには後述する TSMC の COUPE 技術を用い、光インターコネクト部分の消費電力を従来のプラグブル構成と比べて 70%削減するとしている。

(2) NVIDIA

NVIDIA は、2025 年 3 月、CPO を採用した製品としてサーバー間のデータ転送などを担うデータセンタースイッチの「Quantum-X」と「Spectrum-X」を発表^{21、22}した。2 種類の製品は対応する通信規格が異なっている。Quantum-X はサーバー間通信にインフィニバ

¹⁸ Broadcom, “An AI Compute ASIC with Optical Attach to Enable Next Generation Scale-Up Architectures”, Hot Chips 2024, https://hc2024.hotchips.org/assets/program/conference/day1/61_HC2024.Broadcom.ManishMehta.v2-NO-VIDEO.pdf

¹⁹ Broadcom「Broadcom Ships Tomahawk 6: World’s First 102.4 Tbps Switch」、<https://www.broadcom.com/company/news/product-releases/63146>

²⁰ Broadcom「Broadcom Announces Tomahawk 6 – Davisson, the Industry’s First 102.4-Tbps Ethernet Switch with Co-Packaged Optics」、<https://www.broadcom.com/company/news/product-releases/63626>

²¹ NVIDIA「NVIDIA Announces Spectrum-X Photonics, Co-Packaged Optics Networking Switches to Scale AI Factories to Millions of GPUs」、<https://nvidianews.nvidia.com/news/nvidia-spectrum-x-co-packaged-optics-networking-switches-ai-factories>

²² NVIDIA「NVIDIA Silicon Photonics」、<https://www.nvidia.com/en-us/networking/products/silicon-photonics/>

ンド(InfiniBand)規格を使うもので、液冷型 CPO スイッチ「Q3450-LD」²³の製品仕様が公開され、顧客の初期導入に向けた取り組みが進んでいる。一方、Spectrum-X はイーサネット(Ethernet)規格を使うもので、量産立ち上げ段階にあり、2026 年下半期の提供開始が予定されている。

Q3450-LD の製品仕様によれば、Quantum-X の CPO スイッチは、光電変換機能をスイッチ ASIC と同一パッケージ上に配置し、電気信号経路をパッケージ基板内の数 mm に短縮する。これにより、挿入損失を従来のプラグブル構成の約 22dB から約 4dB へ低減し、光インターコネクトの電力効率を 3.5 倍に高め、最大 115.2Tbps のスループットを実現する。また、光源には光エンジンから分離し、故障時に交換可能な外部レーザ光源モジュールを用いる。

なお、NVIDIA は、TSMC や Ayar Labs などの企業と積極的に連携して、シリコンフォトリクス技術を用いた CPO 技術の開発に取り組んでいる。光変調器としてマイクロリング変調器(Micro-ring modulators)を採用し、光エンジンの小型化と電力効率化を図っている。

(3) TSMC

TSMC は、顧客企業が設計したスイッチ ASIC などを製造するとともに、光集積回路と電子集積回路を高密度に統合するシリコンフォトリクスおよび先端実装基盤を提供している。TSMC は、PIC(光集積回路)とEIC(電子集積回路)を積層して光エンジンを形成する集積基盤「COUPE(Compact Universal Photonic Engine)」を開発しており、2025 年 6 月の VLSI シンポジウムでは実装構造の詳細²⁴を公開した。

COUPE では、光変調器や受光器を備える PIC 上に、それらを駆動・制御するドライバや増幅器などを備える EIC を積層する。両者は、TSMC の 3 次元集積技術 SoIC-X を用いた銅同士の直接接合によって高密度に接続される。こうして形成した光エンジンは、TSMC の先端実装技術 CoWoS(Chip-on-Wafer-on-Substrate)を応用して、スイッチ ASIC と同一パッケージ内に統合される。なお、CoWoS は、演算チップや HBM(High Bandwidth Memory: 広帯域メモリ)など複数の半導体チップを高密度に接続し、一つのパッケージに統合する技術である。

COUPE ベースの光エンジンは、NVIDIA²⁵の Quantum-X と Spectrum-X に採用されている。TSMC は、シリコンフォトリクスの製造と先端パッケージ技術を一体的に提供することで、主要な CPO 製品の量産化を支える役割を担っている。

²³ NVIDIA「NVIDIA Quantum-X800 InfiniBand Switches」、<https://dam-cdn.nvd.orangelogic.com/AssetLink/35m40gksfm2l23257j071cjd655b37w0.pdf>

²⁴ INTERNET Watch「NVIDIA 発表の『Spectrum-X』『Quantum-X』に見る、TSMC の光電融合パッケージ技術『COUPE』の詳細」、<https://internet.watch.impress.co.jp/docs/column/nettech/2038643.html>

²⁵ NVIDIA「How Industry Collaboration Fosters NVIDIA Co-Packaged Optics」、<https://developer.nvidia.com/blog/how-industry-collaboration-fosters-nvidia-co-packaged-optics/>

3.5 CPO 実装の課題

CPO では、従来は別々に製造・実装されていた半導体部品と光通信部品を、同じパッケージ内で高密度に統合する必要がある。このような異分野の融合は新たな市場機会を生む一方、製造・実装の技術的な難易度も高い。

図 12 に、CPO の主な構成要素の配置例を示す。CPO は、スイッチ ASIC、PIC と EIC からなる光エンジン、レーザ光源、光ファイバ、接続コネクタ、パッケージ基板などから構成される。さらに、光導波路や接合材（PIC・光導波路・光ファイバの異種材料間の接合に使われる）など、光・電子部品を接続・固定する部材も必要になる。これらを一つのシステムとして機能させるための主な課題は、①熱管理、②光・電気接続と異種材料集積、③量産性・歩留まり、④保守性・信頼性の 4 つに整理できる。以下では、この 4 つの課題を説明し、表 1 に各構成要素・部素材との関係および開発・対応の方向性を示す。

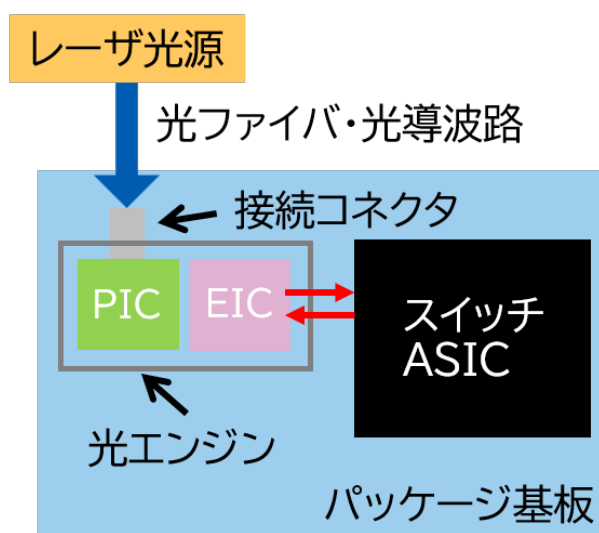


図 12 CPO の主な構成要素の配置例（日経 XTECH「エヌビディアがついに CPO、実装のカギを分析」²⁶などを参考に ARC 作成）

①熱管理

CPO では、スイッチ ASIC の近傍に光エンジンを配置するため、高い発熱密度への対応が必要になる。スイッチ ASIC や EIC は動作時に発熱する一方、レーザ、光変調器、光導波路などの光学部品は、温度変化によって発光波長、変調特性、伝送損失などが変化しやすい。このため、冷却構造の最適化に加え、光学部品への熱の伝わり方を制御する設計が重要になる。

また、シリコン、化合物半導体、ガラス、樹脂、金属など、CPO を構成する材料は熱膨張率が異なる。温度変化によって材料間に応力や位置ずれが生じると、電気接続の信頼性や光結

²⁶ 日経 XTECH「エヌビディアがついに CPO、実装のカギを分析」、
<https://xtech.nikkei.com/atcl/nxt/mag/ne/18/00128/00003/>

合効率が低下する可能性がある。このため、材料選定、接合構造、放熱設計を一体的に最適化する必要がある。

②光・電気接続と異種材料集積

CPO では、EIC と PIC の電気接続に加え、PIC の光導波路と光ファイバの光学接続が必要になる。EIC と PIC の間では、高速信号の損失や消費電力を抑えるため、接続距離を短くし、接続部の抵抗や寄生容量を低減することが求められる。また、PIC と光ファイバの接続では、光導波路と光ファイバの光軸を高精度に合わせなければならない。わずかな位置ずれでも光結合損失が増えるため、高精度な位置合わせ、低損失の光コネクタ、光導波路、接合材などが必要になる。さらに、シリコン、化合物半導体、ガラス、樹脂、金属など、特性の異なる材料を一つのパッケージ内で接合するため、接合強度、熱膨張差、長期信頼性を考慮した異種材料集積技術が重要になる。

③量産性・歩留まり

CPO は、EIC、PIC、光導波路、光ファイバ、レーザ光源など、多数の部品を高精度に組み合わせる必要がある。構成要素が増えるほど、一つの部品や接続部の不良がパッケージ全体の歩留まりを低下させ、製造コストを押し上げる可能性がある。

このため、実装前に良品を選別する検査技術、光ファイバを高精度かつ短時間で接続する自動組立技術、ウエハレベルやパッケージレベルで光学特性を評価する試験技術が重要になる。また、EIC や PIC を個別に検査した後で組み立てる KGD (Known Good Die) の考え方や、光エンジンを独立して検査・実装できる構造など、最終製品の歩留まりを高める工夫が求められる。

④保守性・信頼性

プラグブル光トランシーバは、故障時にモジュール単位で交換できるため、高い保守性を備えている。これに対し、CPO では光エンジンがスイッチ ASIC と同一パッケージ内、またはその近傍に実装されるため、光エンジンだけを容易に交換できない場合がある。故障時の交換範囲が大きくなると、保守費用やシステム停止時間が増える可能性がある。

このため、レーザ光源をスイッチ本体から分離して現場で交換できるようにする構造や、着脱可能な光コネクタ、光サブアセンブリ単位で交換できる構造などが採用されている。また、多数の光・電子部品を長期間安定して動作させるには、温度変化、振動、湿度、材料劣化などに対する信頼性を確保するとともに、故障箇所を特定する監視・診断技術も必要になる。

表 1 CPO の構成要素の機能、技術課題と開発の方向性(各種資料を参考に ARC 作成)

構成要素	主な機能	主な技術課題	開発の方向性
光ファイバ、 接続コネク タ	光信号の伝送および 高密度接続	● 光・電気接続と異種材料集積 ● 量産性・歩留まり ● 保守性・信頼性	● 高精度位置合わせ ● 多芯・着脱式コネクタ ● 接続・検査の自動化
光導波路	光ファイバと PIC の 間、または PIC 間で 光信号を伝送する	● 熱管理 ● 光・電気接続と異種材料集積 ● 量産性・歩留まり	● 低損失・低温度依存材料 ● 基板との一体形成 ● 接続構造の最適化
接合材	PIC、光導波路、光フ ァイバなどの異種材 料を固定・接合する	● 熱管理 ● 光・電気接続と異種材料集積 ● 量産性・歩留まり	● 高透明・屈折率制御 ● 低収縮・低熱膨張化 ● 硬化時間と耐久性の両立
PIC (光 集 積回路)	光導波路、光変調 器、受光器などを集 積し、電気信号と光 信号の変換を担う	● 熱管理 ● 光・電気接続と異種材料集積 ● 量産性・歩留まり	● 光素子の小型・低消費電力化 ● 温度制御 ● 実装前検査・特性ばらつき抑制
EIC (電 子 集積回路)	光変調器を駆動する ドライバ、受信信号を 増幅するアンプ、制 御・信号処理回路な どを担う	● 熱管理 ● 光・電気接続と異種材料集積 ● 量産性・歩留まり	● 回路の低消費電力化 ● PIC との低寄生接続 ● 実装前検査・特性ばらつき抑制
光エンジン	PIC と EIC を高密度 に集積し、光信号と電 気信号を相互変換す る	● 熱管理 ● 光・電気接続と異種材料集積 ● 量産性・歩留まり ● 保守性・信頼性	● 熱・高密度実装設計 ● 実装前検査・自動組立 ● 交換可能な構造
レーザ光源	光変調器へ連続光 (搬送波)を供給する	● 熱管理 ● 量産性・歩留まり ● 保守性・信頼性	● 温度制御・長寿命化 ● 量産安定化 ● 外部光源化・冗長化

4. CPO の先にある光 I/O

CPO は、通信量増大への対応が喫緊の課題となったスイッチ ASIC の入出力を光化する技術として、製品化と初期導入が進んでいる。これに対し、光電変換機能を GPU や CPU などの計算チップの近傍に配置し、計算チップの入出力を光化する技術が光 I/O²⁷である。

CPO と光 I/O は、半導体チップと光通信部品間の電気配線を短縮するという共通の考え方に基づく。一方、表 2 に示すように、CPO が主にスイッチ ASIC の入出力を光化するのに対し、光 I/O は GPU や CPU などの計算チップの入出力を光化する。これにより、多数の GPU を接続する際に増大する通信帯域と消費電力への対応が期待されている。

表 2 プラガブル、CPO、光 I/O の比較(各種資料を参考に ARC 作成)

構成	光電変換の位置	主な対象	現在地 (2026 年時点)
プラガブル	サーバーやスイッチの筐体 端部	サーバー、スイッチ などの機器間通信	現在の主流
CPO	スイッチ ASIC の近傍(同 一パッケージ基板上など)	主にスイッチ ASIC の入出力	製品化・初期導入段 階
光 I/O	GPU・CPU などの近傍ま たは同一パッケージ内	計算チップやチップ レットの入出力	開発・実証段階

4.1 光 I/O が変えるコンピューティングシステム

従来型のサーバーでは、CPU とローカルメモリ、GPU と HBM、ストレージ、拡張メモリなどの計算資源が、サーバー単位で固定的に構成されている(図 13 左)。タスクごとに必要な計算資源の種類や量が異なっても、基本的にはサーバー単位で割り当てるため、一部の資源が利用されないまま残り、利用効率が低下する場合がある。

これに対し、リソース分離型コンピューティング(Disaggregation)では、CPU、GPU、共有メモリ、ストレージなどを用途別の資源プールとして構成し、高速接続基盤を介して相互に接続する(図 13 右)。タスクに応じて各プールから必要な資源を組み合わせることで、資源の利用効率を高められる。なお、図 13 右では、CPU とローカルメモリ、GPU と HBM の近接配置を維持しながら、これらを用途別の資源プールとして構成し、共有メモリやストレージのプー

²⁷ NTT 技術ジャーナル「新たなデジタル社会を切り拓く『光電融合』:世界で開発が加速―前編―」、2025 年 8 月号、<https://journal.ntt.co.jp/article/35349>

ルと接続する構成を示している。

ただし、分離して配置した資源プール間では、大量のデータを低遅延かつ低消費電力でやり取りする必要がある。図 13 右の高速接続基盤は、CPU、GPU、共有メモリ、ストレージなどの資源プールを接続し、必要な資源を一つの計算システムとして連携させる役割を担う。電気配線では接続距離や通信速度が増すほど信号損失と消費電力が増えるため、光 I/O を用いて高速接続基盤の一部を光化することで、資源配置に伴う距離制約を緩和し、リソース分離型コンピューティングの適用範囲を広げることが期待されている。

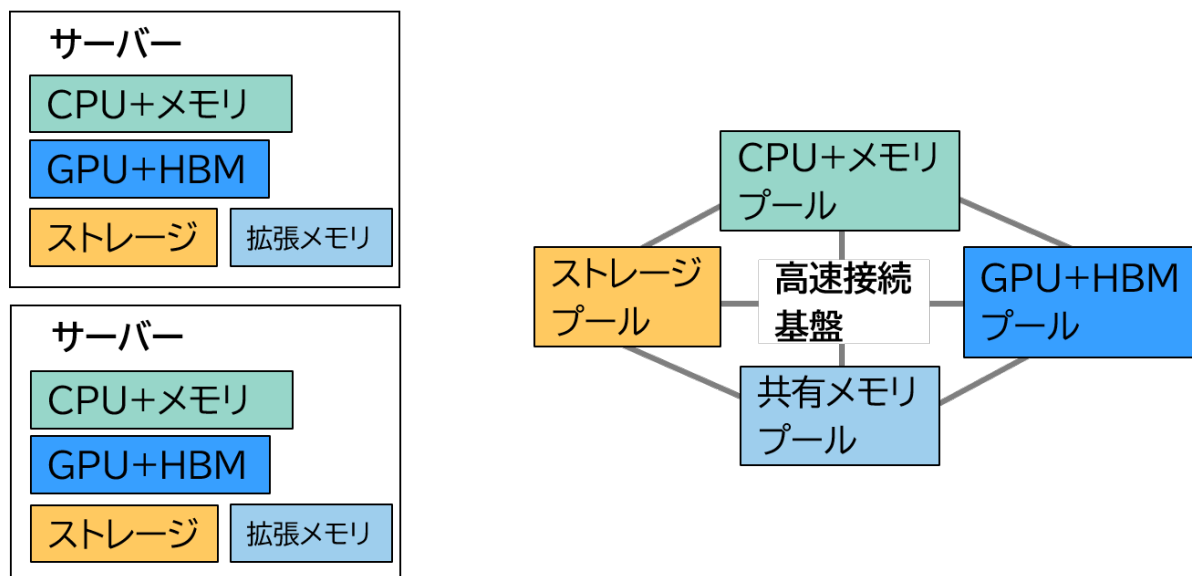


図 13 固定構成型サーバーとリソース分離型システムの比較（左：サーバー単位の固定構成、右：高速接続基盤による資源プール構成）（高橋亮「データセンターネットワークの最新動向」電子情報通信学会誌、Vol.106、No.2、2023 年などを参考に ARC 作成）

4.2 光 I/O に取り組む企業群

(1) Broadcom

第3章で述べたスイッチ ASIC 向け CPO に加え、Broadcom は、光エンジン技術を GPU や AI アクセラレータなどの計算チップ近傍へ展開しようとしている。GPU や HBM を集積した AI 計算パッケージの近傍に光エンジンを配置し、パッケージ外部との通信を光化することで、電気配線の距離と消費電力を抑えることを目指す。

一方、GPU や HBM を高密度に実装したパッケージは発熱密度が高く、近接して配置する光エンジンの動作安定性に影響する。このため、光エンジンを演算チップと密接に一体化するのではなく、熱源から一定の距離を確保して配置する構成も検討されている²⁸。

²⁸ INTERNET Watch「Broadcom が量産を進める『CPO』が背負う期待、一方、その欠点はどのように対策されるか?」、<https://internet.watch.impress.co.jp/docs/column/nettech/2013652.html>

(2)Ayar Labs

Ayar Labs は、シリコンフォトニクスを用いた光 I/O チップレットを開発する米スタートアップである。同社の「TeraPHY」²⁹は、ファウンドリの標準的な CMOS プロセスで製造可能であり、チップレット接続の標準規格である UCIe (Universal Chiplet Interconnect Express) に準拠した電気インターフェースを備える。CPU、GPU、メモリなどの計算資源を光接続する将来のリソース分離型コンピューティングの基盤として期待されている。量産化に向けては、光接続やガラス導波路技術の開発も進めている³⁰。

(3)NTT

NTT は次世代ネットワーク構想「IOWN (Innovative Optical and Wireless Network)」の中で、データセンター間接続からダイ間(チップレット間など)接続まで段階的に光化を進める構想を掲げている。その中で、パッケージ間やダイ間へ光化領域を広げる技術として位置付けられているのが光 I/O である。

NTT は光 I/O を実現する技術として「メンブレンフォトニクス」^{31, 32}を開発している。これは、発光に適した InP (インジウムリン) 系半導体を薄い膜状に加工し、シリコン基板上に集積する技術である。薄膜化によって光を小さな領域に閉じ込められるため、レーザや光変調器の小型化と低消費電力化が可能になる。

シリコンフォトニクスは半導体製造プロセスとの親和性が高い一方、シリコン自体は発光に適していないため、レーザには外部光源を用いる構成が一般的である。これに対し、メンブレンフォトニクスは、シリコン基板上の光回路と InP の発光性能を組み合わせ、レーザを含む高密度な光集積を目指す。ただし、異種材料接合の信頼性、放熱、量産プロセスの確立が課題である。

²⁹ Ayar Labs「TeraPHY Optical I/O Chiplet」、<https://ayarlabs.com/teraphy/>

³⁰ Ayar Labs・Altera・Corning 共同発表資料(ECOC 2024)、
<https://20173286.fsl.hubspotusercontent-na1.net/hubfs/20173286/Corning%20PDF/Ayar%20Labs%20Altera%20Corning%20ECOC24%20optical%20fpga%20glass%20waveguide%2020240916.pdf>

³¹ NTT 研究開発 ナノ構造集積機能デバイス研究グループ、
https://www.rd.ntt/dtl/technology/nanostructured_device_research_group_ntt_device_technology_laboratories_ntt_rd_website.html

³² 日経 XTECH「NTT が切り札『薄膜フォトニクス』、大手メーカーと協業可能性も」、
<https://xtech.nikkei.com/atcl/nxt/mag/ne/18/00128/00008/>

コラム 光電融合の社会実装を目指す IOWN

クラウドサービスの成長や通信事業のコモディティ化が進む中、NTT は、長年蓄積してきた光通信・光デバイス技術を次世代の競争力と位置付け、2019 年に IOWN 構想³³を公表した。CPO や光 I/O は、スイッチや半導体パッケージ内部の通信を光化する実装技術である。一方、IOWN は、こうした光電融合デバイスと APN を組み合わせ、ネットワークからコンピューティング内部までを対象とする、より広い情報通信基盤構想である。

IOWN のロードマップで段階ごとの概要を表 3 に示す。まずデータセンター間・拠点間の光ネットワークを高度化し、その後、ボード間、パッケージ間、ダイ間へと光化の範囲を広げる計画である。

IOWN の最初の実装となる APN (All-Photonics Network) は、拠点間の通信経路に光波長パスを設定し、中継区間での光・電気変換を極力減らすネットワークである。2023 年に商用サービスが始まり、現在は分散データセンター、遠隔映像制作、遠隔操作などへの利用が進められている。IOWN1.0 に位置付けられる APN は、NTT が長年蓄積してきた光ネットワーク技術の延長上にあり、IOWN の中では最も社会実装が進んだ領域である³⁴。

2026 年 7 月には、APN を用いて全国 8 拠点の GPU を接続する「GPU over APN Testbed」³⁵の提供が始まった。これは、分散配置された GPU を連携利用し、分散 AI 学習・推論や拠点間データ転送の実用性を検証する環境である。APN の低遅延・大容量通信を、AI 計算基盤の分散化に生かす具体的な試みと位置付けられる。

今後、NTT は IOWN2.0 でサーバー間・ボード間、IOWN3.0 でパッケージ間、IOWN4.0 でパッケージ内部のダイ間へと光化領域を広げる計画である。IOWN2.0 では、光電融合デバイス PEC-2 を搭載したネットワークスイッチの商用サンプルを、2027 年 1～3 月期に出荷する計画である³⁶。

ただし、すでに商用サービスが展開されている APN と、商用サンプルの出荷に向けて開発が進む IOWN2.0 以降の光電融合では、技術の成熟度が異なる。CPO スwitchの製品化では Broadcom や NVIDIA が先行しており、IOWN2.0 以降では、量産性、コスト、標準化、他社製半導体との連携が重要になる。NTT が APN で培ったネットワーク技術と独自の光デバイス技術を、国内外の半導体・実装エコシステムへどのように接続できるかが、ロードマップ実現の鍵となる。

³³ 関口和一「NTT 2030 年世界戦略『IOWN』で挑むゲームチェンジ」日本経済新聞出版、2021 年 12 月

³⁴ NTT 研究開発「IOWN 2.0 時代の社会実装に向けた取り組み」、
https://www.rd.ntt/research/JN202602_38185.html

³⁵ NTT ドコモビジネス「IOWN APN を活用した全国広域分散 GPU 実証環境『GPU over APN Testbed』を提供開始」、
<https://www.ntt.com/content/dam/nttcom/hq/jp/about-us/press-releases/pdf/2026/0706.pdf>

³⁶ 日経 XTECH「ビッグテックと『大きな商談』、政府はラピダス連携に期待」、
<https://xtech.nikkei.com/atcl/nxt/mag/ne/18/00140/00005/>

表 3 IOWN のロードマップ(NTT「Toward the Future with IOWN ～AI 時代を支える低消費電力光コンピューティング～」、2025 年 10 月³⁷などを基に ARC 作成)

IOWN 段階	現在地・想定時期	主な光化領域	中核技術・構成要素	目標・想定効果※ ¹
1.0	2023 年に商用化	データセンター間・拠点間ネットワーク	APN、PEC-1※ ²	● 大容量・低遅延の拠点間通信 ● 地理的な距離制約の緩和
2.0	2027 年 1～3 月期に商用サンプル出荷予定	データセンター内部のサーバー間・ボード間	PEC-2、光電融合型ネットワークスイッチ、DCI※ ³	● 通信電力の削減 ● 接続距離制約の緩和 ● 計算資源共有の基盤形成
3.0	2028 年以降	CPU・GPUなどを搭載する半導体パッケージ間	PEC-3、光 I/O、光チップレット	パッケージ間通信の大容量化・低消費電力化
4.0	2032 年以降	パッケージ内部のダイ間(チップレット間)	PEC-4、ダイ間光接続、超小型光電融合デバイス	ダイ間通信の大容量化・低消費電力化

※¹ NTT は IOWN の将来目標として、電力効率 100 倍、伝送容量 125 倍、エンド・ツー・エンド遅延 200 分の 1 を掲げている。これらは IOWN 全体の将来目標であり、比較条件は指標ごとに異なるため、各段階の一律な達成値を示すものではない。

※² PEC(Photonics-Electronics Convergence):NTT が開発する光電融合デバイス。世代の進展に伴い、ネットワーク接続部からボード間、パッケージ間、ダイ間へ適用範囲を広げる。

※³ DCI(Data-Centric Infrastructure):CPU、GPU、メモリなどの計算資源を光ネットワークで接続し、必要に応じて組み合わせて利用するコンピューティング基盤。

³⁷ NTT「Toward the Future with IOWN ～AI 時代を支える低消費電力光コンピューティング～」、2025 年 10 月、<https://group.ntt.jp/ir/library/presentation/2025/pdf/251006.1.pdf>

5. 光電融合を支える産業構造

これまで見てきたように、AI データセンターでは通信性能と消費電力が課題となっており、その解決策として光電融合技術が注目されている。光電融合の実現には、電気信号を光信号に変換するデバイスだけでなく、従来は異なる産業領域で発展してきた半導体技術、光通信技術、先端実装技術を組み合わせる必要がある。

5.1 光電融合を支える主要部材と事業機会

表 4 に、光電融合に関連する日本企業の主な部材・デバイスと開発状況を示す。光接続、光導波路、接着剤、光デバイスなどでは、日本企業が蓄積してきた材料設計や精密加工の技術を生かせる可能性があり、新たな事業機会が生まれている。

表 4 日本企業の光電融合関連部材・デバイスの開発動向（各種公開資料を基に ARC 作成）

企業	主な技術・部材	CPO における役割	現在地（2026 年時点）
レゾナック	UV 硬化型光学接着剤	光ファイバ、FAU※、PIC などの位置合わせ後の固定	開発品・サンプル対応 ³⁸
AGC	光導波路、ガラスコア、マイクロレンズアレイ	基板・パッケージ内の光配線、光結合、高密度実装	開発・製品提案段階 ^{39、40}
大日本印刷	高密度光導波路付き光電コパッケージ基板	光導波路を一体形成したパッケージ基板内の光配線	試作・技術展示段階
住友電気工業	高密度光ファイバアレイ	シリコンフォトリソチップと複数の光ファイバの高密度接続	開発・性能確認段階
三菱電機	変調器集積レーザ、受光器	高速光デバイスの光電コパッケージへの集積	CPO 適用技術の開発段階 ⁴¹
デクセリアルズ	導波路型高速受光器	CPO などの次世代高速光通信における受光	開発品・試作品提供段階 ⁴²

※ FAU(Fiber Array Unit)：複数の光ファイバを高精度に整列・固定した光接続部品。

³⁸ レゾナック「高精度な光接続とタクト短縮に貢献する、UV 硬化型光学接着剤」、

<https://www.resonac.com/jp/solution/optical-adhesive.html>

³⁹ AGC「CPO におけるマイクロレンズアレイと FAU(Fiber Array Unit)の役割」、

<https://www.agc.com/products/electronic/optical-glass/micro-lens-array/mla-cpo.html>

⁴⁰ AGC「AI の未来を切り拓く AGC の半導体ソリューション」、

<https://www.agc.com/ces/semiconductor.html>

⁴¹ 三菱電機技報「次世代データセンターの大容量化／低電力化を実現する光電融合技術」、2025 年 9 月号、

<https://www.giho.mitsubishielectric.co.jp/giho/pdf/2025/2509109.pdf>

⁴² デクセリアルズ「【OFC 2025 出展レポート】1.6T 時代に挑む、デクセリアルズの新型光デバイスとは」、

<https://techtimes.dexerials.jp/photonics/ofc2025-report/>

(1) 光ファイバと光導波路の接続

光ファイバと光エンジンの接続では、光ファイバのコア径と PIC 上の光導波路幅が異なるため、高精度な位置合わせと低損失な固定が必要になる。レゾナック⁴³は、CPO の光接続部に用いる UV 硬化型光学接着剤「RA シリーズ」を開発し、サンプル対応を進めている。同製品は短時間の UV 仮固定と加熱による本硬化を組み合わせ、高い光透過率と高温高湿環境での実装信頼性の両立を目指している。

(2) 光導波路とパッケージ基板

パッケージ内の光導波路には、加工性とコストに優れるポリマー系と、低損失、耐熱性、寸法安定性に優れるガラス系があり、用途に応じて使い分けられる⁴⁴。AGC は両方式の光導波路に加え、CPO 向けのマイクロレンズアレイやガラスコア基板を提案している。大日本印刷は、高密度ポリマー光導波路を備えた光電コパッケージ基板を試作し、技術展示や学会発表を進めている。パッケージの大型化が進めば、低損失で平坦性に優れるガラス基板の重要性が高まる可能性がある。

(3) PIC 周辺の光デバイス・材料

PIC では、シリコン、InP、TFLN(薄膜ニオブ酸リチウム)、EO ポリマーなどを用いた光変調器や受光器の研究開発が進んでいる。課題は、材料自体の性能向上に加え、PIC 上への形成・接合、温度安定性、長期信頼性、量産プロセスの確立にある。TFLN や EO ポリマーを用いた光変調器は、低消費電力化と高速化を両立する次世代技術として注目されている⁴⁵。

5.2 光電融合デバイスの競争力を左右する製造・連携基盤

光電融合デバイスの実現には、電子回路と光回路の設計、PIC や EIC の製造、先端実装、光部品の取り付け、検査など、異なる技術と工程を組み合わせる必要がある。これらを一社ですべて担うことは難しいため、ファブレス企業、ファウンドリ、OSAT、光デバイスメーカー、材料・部材メーカーなどが、設計から量産まで連携する光電融合のエコシステムが重要になる。

ファウンドリは主に PIC や EIC の製造と先端実装基盤の提供を担い、OSAT (Outsourced Semiconductor Assembly and Test) は、半導体チップの組立・実装・検査などの後工程を担う。光電融合では、さらに光ファイバ、コネクタ、レーザなどを高精度に

⁴³ 日経 XTECH「住友電工やレゾナックが光電融合の難所に打開策、『光の接続』を低損失に」、
<https://xtech.nikkei.com/atcl/nxt/column/18/03120/031900005/>

⁴⁴ 日経 XTECH「光導波路はポリマーかガラスか、AGC や DNP が火花」、
<https://xtech.nikkei.com/atcl/nxt/mag/ne/18/00128/00006/>

⁴⁵ 科学技術振興機構 研究開発戦略センター「未来の AI 計算システムを支える光データ通信技術」、
<https://www.jst.go.jp/crds/pdf/2025/SP/CRDS-FY2025-SP-07.pdf>

取り付ける必要があるため、半導体後工程と光実装の技術を組み合わせることが求められる。AI や HPC (High Performance Computing) 向け半導体で量産適用が進む高密度実装や実装前検査の技術も、PIC と EIC の集積に応用されている。

こうした企業間連携は、米国や台湾を中心に進んでいる。米国では、NVIDIA、Broadcom、Ayar Labs などが CPO や光 I/O の製品化を進めている。例えば NVIDIA は、TSMC (台湾、半導体製造・先端実装)、Coherent、Corning、Lumentum (以上、米国、光デバイス・材料)、Foxconn (台湾、製造)、SENKO Advanced Components (日本、光コネクタ) などと連携し、半導体、光部品、材料、実装をまたぐ供給網を構築している。

台湾では、TSMC がシリコンフォトリソグラフィ製造基盤の COUPE と先端実装技術を軸に、企業間連携を進めている。2024 年 9 月には、TSMC や ASE (台湾、半導体後工程) など 30 社超が参加する「シリコンフォトリソグラフィ産業連盟」⁴⁶が発足し、設計、製造、パッケージ、評価をまたぐ共通基盤づくりが始まった。同連盟は技術開発、標準化、サプライチェーン連携を進めるものであり、台湾がシリコンフォトリソグラフィの産業集積を強化しようとする方針がうかがえる。

光電融合に用いる材料には、従来の半導体・電子材料に求められる耐熱性や耐環境性に加え、光透過率、屈折率、光学損失などの特性も求められる。このため、日本企業が材料・部材の強みを事業機会につなげるには、部材単体の性能を高めるだけでなく、ファブレス、ファウンドリ、OSAT などと設計段階から連携し、材料や部品を顧客のデバイス設計や製造工程に適合させることが重要になる。

⁴⁶ TECH+「台湾で SEMI が『シリコンフォトリソグラフィ産業連盟』を設立、光電融合の実用化を推進」、
<https://news.mynavi.jp/techplus/article/20240906-3019830/>

おわりに

生成 AI の普及と GPU の大規模並列化に伴い、AI データセンターでは、計算性能だけでなく、GPU 間でやり取りされるデータ量と通信に要する電力がシステム拡大の制約となっている。この制約に対応するため、光通信の適用領域は、データセンター間やラック間から、スイッチ ASIC や計算チップの近傍へと広がり始めた。CPO は製品化・初期導入が進み、光 I/O も開発・実証が進められている。

こうした動きは、電気配線の一部を光配線に置き換えるだけの变化ではない。光電変換機能がチップ近傍へ移ることで、半導体の設計・製造・実装には、従来の電氣的・熱的な要件に加えて、光接続、光学損失、異種材料接合などの要件が組み込まれる。一方、光デバイスや光部品にも、半導体パッケージ内への高密度実装や、量産工程への適合が求められる。このため、光電融合デバイスの競争力は、個々の半導体や光部品の性能だけでなく、電子技術と光技術を一つのシステムとして成立させる設計・製造能力によって左右される。

光電融合の進展は、従来はそれぞれ発展してきた半導体産業と光通信産業の境界を近づけ、企業の役割分担や連携のあり方を変えつつある。競争の焦点は、部品単体の性能に加え、異なる企業が持つ技術を量産可能なデバイスへまとめ上げる力へ広がっている。

日本企業は、光接続、光導波路、接合材、光デバイスなどの分野で、材料設計や精密加工の技術を蓄積している。ただし、こうした技術の価値は、部材単体の性能だけで決まるものではない。半導体・光デバイスメーカーの製品設計や、ファウンドリ・OSAT の製造工程に組み込まれ、量産時の品質や歩留まりの向上に貢献することで、初めて事業上の強みとなる。日本企業にとっては、光電融合市場を部材の販売機会として捉えるだけでなく、設計・試作段階から国内外の企業との開発に参加し、自社技術の採用につなげていくことが重要になる。

本リポートについて

本リポートは、ARC の Web サイト(<https://arc.asahi-kasei.co.jp>)から検索できます。

【キーワード】

光電融合、AI データセンター、CPO、光 I/O、IOWN、シリコンフォトニクス、チップレット、
光導波路、先端実装、光電融合エコシステム、半導体・光通信産業の融合

【本リポートのお問い合わせ先】

主幹研究員 永田 紘基

e-mail : nagata.hh@om.asahi-kasei.co.jp

<https://arc.asahi-kasei.co.jp/contact/>

ARC リポート RS-1088 2026.10

発行者 株式会社 旭リサーチセンター
〒100-0006 東京都千代田区有楽町 1-1-2
<https://arc.asahi-kasei.co.jp/>